

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-071508

(43)Date of publication of application : 04.05.1982

(51)Int.Cl.

G11B 5/09  
G06F 11/08  
G06F 13/04

(21)Application number : 55-146561

(71)Applicant : NEC CORP

(22)Date of filing : 20.10.1980

(72)Inventor : HASHIMOTO HISAO

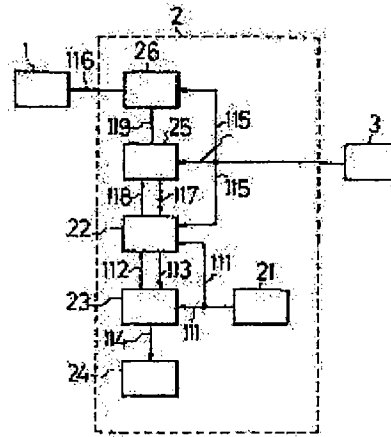
(54) MAGNETIC STORAGE CONTROL DEVICE

(57)Abstract:

**PURPOSE:** To make error correction of storage control information possible as well with simple constitution by performing error inspection and correction of the control information from an erasable ROM by means of a circuit which inspects and corrects the error of the read out storage information.

**CONSTITUTION:** The information per block and the error detecting and correcting codes added to every block are read out from an erasable ROM of a magnetic storage control device 2, and are applied to a control storage circuit 23 and an error detecting and correcting circuit 22 which detects and corrects the errors of the information read out from a magnetic storage device 3. The error detection of the information from an ROM21 is carried out by this circuit 22, and when a correctable error is discovered, the error position and pattern are detected. The control information written in the circuit 23 is corrected and rewritten into the circuit 23. When the correction is infeasible, this is announced to a CPO.

The magnetic storage control device which can perform error correction of control information as well as obtained by the simple constitution of making combination use of the error detecting and correcting circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-71508

⑨ Int. Cl.<sup>3</sup>

G 11 B 5/09

G 06 F 11/08

13/04

識別記号

1 0 2

庁内整理番号

7345-5D

7368-5B

7361-5B

⑭ 公開 昭和57年(1982)5月4日

発明の数 1

審査請求 未請求

(全 3 頁)

⑮ 磁気記憶制御装置

東京都港区芝五丁目33番1号日

本電気株式会社内

⑯ 特 願 昭55-146561

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭55(1980)10月20日

東京都港区芝5丁目33番1号

⑲ 発 明 者 橋本久雄

⑳ 代 理 人 弁理士 熊谷雄太郎 外1名

## 明 細 書

### 1 発明の名称

磁気記憶制御装置

### 2 特許請求の範囲

磁気記憶装置内の記録媒体上に記録されている情報の読出し時に読出誤りの有無を検査し、誤りが検出された場合には誤りの訂正を行う誤り検出訂正回路と、実行すべきマイクロプログラムを記憶するための制御記憶回路と、該制御記憶回路にロードすべきマイクロプログラムを記憶するための消去可能固定記憶回路とを備え、該消去可能固定記憶回路に記憶されている情報を複数のブロックに分割し、各ブロックに誤り検出訂正符号を付加しておくことにより、前記消去可能固定記憶回路から読出した情報を前記制御記憶回路に書き込む際に、前記誤り検出訂正回路を用いて前記消去可能固定記憶回路からの読出情報の誤り検査及び訂正を行うことを特徴とする磁気記憶制御装置。

### 3 発明の詳細な説明

本発明は、磁気記録媒体に対する情報の書き込み

及び読出しを制御する磁気記憶制御装置に関する。

磁気記憶制御装置の動作を制御するためのマイクロプログラムを記憶するための記憶回路として読出可能な制御記憶回路を使用することが多く、この場合にはマイクロプログラムは磁気記憶制御装置の電源投入時に消去可能固定記憶回路より制御記憶回路にロードされる。

従来の磁気記憶制御装置においては、消去可能固定記憶回路から読出された情報に誤りが含まれるか否かの検査のみ行なわれ、誤りが含まれる場合には磁気記憶制御装置が動作不能になるという欠点を有していた。或いは消去可能固定記憶回路から読出された情報に誤りが含まれる場合には、誤りの訂正を行なうことが可能な磁気記憶制御装置は専用の誤り検出訂正回路を備え、高価になるという欠点を有していた。

本発明は従来の上記事情に鑑みてなされたものであり、従つて本発明の目的は、消去可能固定記憶回路から読出された情報の誤り検査及び訂正を、記録媒体上に記録されている情報の読出し時に誤

りの検査及び訂正を実施するための誤り検出訂正回路を用いて行なうことにより、前記欠点を解決した新規な磁気記憶制御装置を提供することにある。

本発明の上記目的は、磁気記憶装置内の記録媒体上に記録されている情報の読出時に読出誤りの有無を検査し、誤りが検出された場合には誤りの訂正を行なう誤り検出訂正回路と、実行すべきマイクロプログラムを記憶するための制御記憶回路と、該制御記憶回路にロードすべきマイクロプログラムを記憶するための消去可能固定記憶回路とを備え、該消去可能固定記憶回路に記憶されている情報を複数のブロックに分割し、各ブロックに誤り検出訂正符号を付加しておくことにより、前記消去可能固定記憶回路から読出した情報を前記制御記憶回路に書き込む際、前記誤り検出訂正回路を用いて前記消去可能固定記憶回路からの読出情報の誤り検査及び訂正を行なうことを特徴とする磁気記憶制御装置、によつて達成される。

次に図面を参照して本発明をその良好な一実施

例について具体的に説明する。

第1図は本発明の一実施例を示すブロック構成図である。第1図において、参照番号1は中央処理装置、2は磁気記憶制御装置、3は磁気記憶装置を表わす。又、21は磁気記憶制御装置内の消去可能固定記憶回路、22は誤り検出訂正回路、23は制御記憶回路、24はマイクロ命令実行制御回路、25は読出書込記憶回路、26はバッファ記憶回路を表わす。更にまた、111は消去可能固定記憶回路21から読出された情報を誤り検出訂正回路22及び制御記憶回路23に伝えるための信号線、112は制御記憶回路23から読出された情報を誤り検出訂正回路22に伝えるための信号線、113は誤り検出訂正回路22より制御記憶回路23に書き込むべき情報を伝えるための信号線、114は制御記憶回路23より読出されたマイクロ命令をマイクロ命令実行制御回路24に伝えるための信号線、115は磁気記憶装置3内の記録媒体から読出された情報を誤り検出訂正回路22、読出書込記憶回路25及びバッファ記憶回路26に伝えるための信号線、116はバッ

ファ記憶回路26から情報を中央処理装置1に伝えるための信号線、117は読出書込記憶回路25から読出された情報を誤り検出訂正回路22に伝えるための信号線、118は誤り検出訂正回路22より読出書込記憶回路25に書き込むべき情報を伝えるための信号線、119は読出書込記憶回路25より読出された情報をバッファ記憶回路26に伝えるための信号線を表わす。

消去可能固定記憶回路21に記憶されている情報は複数のブロックに分割されていて、各ブロックの最後に誤り検出訂正符号が付加されている。各ブロックの長さは誤り検出訂正符号の誤り検出訂正能力に応じて適切に決定される。本発明の一実施例においては消去可能固定記憶回路21に記憶されている情報及び誤り検出訂正符号は専用の書込装置により書き込まれているものとするが、磁気記憶制御装置内に書込回路を備えていてもよい。

本発明の磁気記憶制御装置の電源を投入すると、消去可能固定記憶回路21から最初のブロック内の情報と誤り検出訂正符号が読出され、信号線111

を通して誤り検出訂正回路22及び制御記憶回路23に送られる。制御記憶回路23は誤り検出訂正符号を除いてブロック内の情報のみを記憶する。このとき簡単な誤り検出符号を付加して制御記憶回路23に書き込んでよい。又、誤り検出訂正回路22は信号線111を通して送られる情報と誤り検出訂正符号から消去可能固定記憶回路21より読出されたブロック内の情報に誤りがあるか否かを検査し、誤りが存在しない場合には同様にして順次消去可能固定記憶回路21に記憶されている情報をブロック単位で制御記憶回路23に転送し、書き込む。

誤り検出訂正回路22は、消去可能固定記憶回路21より読出され制御記憶回路23に書き込まれたブロック内の情報に誤りが含まれることを検出すると、誤りが訂正可能か否かを判断する。誤りが訂正不能な場合には処理は中断され、適当な方法で磁気記憶制御装置が動作不能であることを表示する。誤りが訂正可能である場合には、誤り検出訂正回路22は、誤りの位置とパターンを計算し、誤りを含む制御記憶回路23内の情報を信号線112を通して

読出し、誤りのパターンに従つて誤りの訂正を施した後、信号線 113 を通して制御記憶回路 23 に正しい情報を書き込む。

以上の様にして、すべての消去可能固定記憶回路 21 内の情報が制御記憶回路 23 に転送され、書き込まれると、制御記憶回路 23 内のマイクロ命令が信号線 114 を通してマイクロ命令実行制御回路 24 に送られ、マイクロ命令実行制御回路 24 は動作可能な状態となる。

一方、磁気記憶装置 3 内の記録媒体から読出された情報を中央処理装置 1 に転送する場合、磁気記憶装置 3 から送られた情報は信号線 115 を通してバッファ記憶回路 26 に送られ、更に信号線 116 を通して中央処理装置 1 に転送される。バッファ記憶回路 26 は、中央処理装置 1 が情報の受け取りを一時的に拒否した場合、情報を貯蔵するために使用される。磁気記憶装置 3 から送られた情報は同時に信号線 115 を通して読出書込記憶回路 25 及び誤り検出訂正回路 22 にも送られる。読出書込記憶回路 25 は中央処理装置 1 に転送したものと同一の

情報を記憶しておくために使用される。誤り検出訂正回路 22 は磁気記憶装置 3 より送られた情報に誤りが含まれるか否かを検査する。誤りが含まれていない場合には情報の転送は正常に終了する。訂正不能な誤りが含まれている場合には、このことを適当な方法で中央処理装置 1 に通知する。誤りが訂正可能な場合には、誤り検出訂正回路 22 は、前述の制御記憶回路 23 内の誤りを訂正する場合と同様に、読出書込記憶回路 25 内の誤りを訂正し、読出書込記憶回路 25 内の訂正済情報を信号線 119、バッファ記憶回路 26 及び信号線 116 を通して中央処理装置 1 に再転送することにより、中央処理装置 1 に正しい情報を提供する。

本発明は、以上説明した様に、消去可能固定記憶回路に記憶される情報をいくつかのブロックに分割し、各ブロックに対して誤り検出訂正符号を付加することにより、消去可能固定記憶回路から読出された情報の誤り訂正を廉価に行うことを可能にする効果がある。

#### 4 図面の簡単な説明

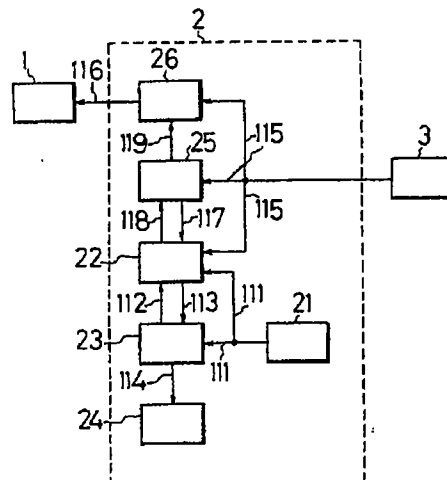
第 1 図は本発明の一実施例を示すブロック構成図である。

1・・・中央処理装置、2・・・磁気記憶制御装置、3・・・磁気記憶装置、21・・・磁気記憶制御装置内の消去可能固定記憶回路、22・・・誤り検出訂正回路、23・・・制御記憶回路、24・・・マイクロ命令実行制御回路、25・・・読出書込記憶回路、26・・・バッファ記憶回路、111～119・・・信号線

特許出願人 日本電気株式会社

代理人 弁理士 熊谷 雄太郎

代理人 弁理士 及川 昭二



第 1 図